

# BEST AVAILABLE COPY PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-178152

(43)Date of publication of application : 02.08.1991

(51)Int.Cl.

H01L 23/28

H01L 21/56

(21)Application number : 01-317030

(71)Applicant : SONY CHEM CORP

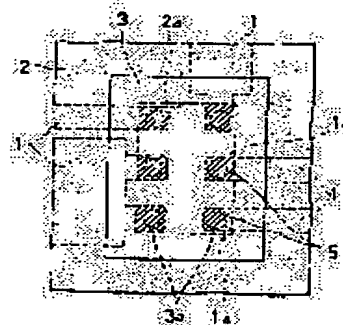
(22)Date of filing : 06.12.1989

(72)Inventor : HIGUCHI SHIGETAKA

**(54) MOLDED IC AND ITS MANUFACTURE****(57)Abstract:**

**PURPOSE:** To make an IC light and thin, and realize easy mounting on various kinds of electronic circuit without having a retaining substrate, by retaining, with a specified positional relation, an IC bear chip and a conductive material layer formed in a specified pattern for wiring said chip, by using an insulating resin layer and a molded resin layer, and integrating them in a unified body.

**CONSTITUTION:** In a molded IC, an insulating resin layer 2 is laminated on a conductive material layer 1 wherein a specified pattern is formed. Said resin layer 2 electrically insulates an IC bear chip 3 and the conductive material layer 1, and fixes the IC bear chip 3 with a specified positional relation. The IC bear chip 3 is mounted on the insulating resin layer 2, and at least a mounting surface of the IC bear chip 3 is unified in a body by a molded resin layer 4. An aperture 2a is formed in the insulating resin layer 2, and via the aperture 2a, the conductive material layer 1 and the IC bear chip 3 are electrically connected by using a conductive connection layer 5. Thereby a thin and light molded IC can be formed and easily mounted on other electronic circuit.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-178152

⑤ Int.Cl.<sup>3</sup>

H 01 L 23/28  
21/56

識別記号

Z  
R

庁内整理番号

6412-5F  
6412-5F

④ 公開 平成3年(1991)8月2日

審査請求 未請求 請求項の数 2 (全7頁)

④ 発明の名称 モールドICおよびその製造方法

② 特 願 平1-317030

② 出 願 平1(1989)12月6日

⑦ 発 明 者 樋 口 重 孝 東京都中央区日本橋室町1丁目6番3号 ソニーケミカル株式会社内

⑦ 出 願 人 ソニーケミカル株式会社 東京都中央区日本橋室町1丁目6番3号

⑦ 代 理 人 弁理士 小 池 晃 外2名

明細書

1. 発明の名称

モールドICおよびその製造方法

2. 特許請求の範囲

(1) 所定のパターンに形成された導電材料層と、前記導電材料層の一部を露出させる開口部を有する絶縁樹脂層と、前記絶縁樹脂層上に実装されその電極部が前記開口部を通じて前記導電材料層と電気的に接続されてなるICペアチップから構成される積層体がモールド樹脂層により固着一体化されてなることを特徴とするモールドIC。

(2) 導電性基体上に導電材料層のパターンを反転させたパターンを有するメッキレジスト層を形成する工程と、

電解メッキにより前記導電性基体の露出部に導電材料層を選択的に形成する工程と、

前記導電材料層のうちICペアチップの電極部が接続される電気的接続部位に臨んで開口される

開口部を有する絶縁樹脂層を形成する工程と、

前記ICペアチップを前記絶縁樹脂層上に実装し、前記開口部を通じて該ICペアチップの電極部と前記導電材料層の電気的接続部位とを接続する工程と、

前記導電性基体の少なくともICペアチップ実装面をモールド樹脂層により固着する工程と、

少なくとも前記導電性基体を剝離する工程を有することを特徴とするモールドICの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、IC(集積回路)ペアチップ、絶縁層、配線層等からなる積層体がモールド樹脂により固着一体化されてなる軽量薄板状のモールドIC、およびその製造方法に関する。

(発明の概要)

本発明は、ICペアチップとその配線を行うために所定のパターンに形成された導電材料層とを

絶縁樹脂層およびモールド樹脂層により所定の位置関係に保持し、かつ固着一体化させることにより、支持基板を持たず軽量かつ薄型で、各種電子回路に接続容易なモールドＩＣを提供しようとするものである。

本発明はさらに、上記モールドＩＣの製造を、選択露光、電解めっき、印刷等の技術を組み合わせて、高い信頼性、経済性、生産性をもって実現するものである。

#### 〔従来の技術〕

近年、各種電子機器の軽量化、小型化、薄型化、高機能化等に伴い、ＩＣ実装技術の分野においてもこれらを実現するための各種の技術が提案されている。フラットパッケージ等はその代表例である。さらに、高機能化、高集積化を目指してＩＣが多端化され、かつ一層の軽量薄型化、低コスト化が図られるに伴い、これらの要請に対応し得る技術として、テープ自動ボンディング（ＴＡＢ）法、チップ・オン・ガラス（ＣＯＧ）法、チ

ップ・オン・フレキシブル・プリント・サーキット（ＣＯＦ）法、フュース・ボンディング法等の技術も提案されている。ＴＡＢ法は、ポリイミド等からなるテープの表面に予めエッチングにより形成された銅の配線パターンに、ＩＣペアチップ上のパンプを熱圧着もしくは共晶法により接続する方法である。ＣＯＧ法は、ガラス基板上において液晶マトリクス等から導出された透明電極にＩＣペアチップの端子を接続する方法である。ＣＯＦ法はポリエステル、ポリイミド等の高分子材料からなるフィルム上に形成された配線パターンにＩＣペアチップを接続する方法である。フュース・ボンディング法は半導体チップをシステムに組み立てる際や厚膜ＩＣに組み込む際の接続を、線によらず面で行う方法であり、フリップチップにおいて実用化されている。

#### 〔発明が解決しようとする課題〕

しかしながら、上述の各方法ではコストの上昇や使用目的の制約を生ずる他、精度や信頼性にお

いても今ひとつ満足な結果が得られていない。

そこで本発明は、これらの課題点を解決し、極めて軽量薄膜化され、信頼性が高く、低コストで使い易いモールドＩＣ、およびその製造方法を提供することを目的とする。

#### 〔課題を解決するための手段〕

本発明は上述の目的を達成するために提案されるものである。

すなわち、本発明の第１の発明にかかるモールドＩＣは、所定のパターンに形成された導電材料層と、前記導電材料層の一部を露出させる開口部を有する絶縁樹脂層と、前記絶縁樹脂層上に実装されその電極部が前記開口部を通じて前記導電材料層と電気的に接続されてなるＩＣペアチップから構成される積層体がモールド樹脂層により固着一体化されてなることを特徴とするものである。

さらに、本発明の第２の発明にかかるモールドＩＣの製造方法は、導電性基体上に導電材料層のパターンを反転させたパターンを有するメッキレ

ジスト層を形成する工程と、電解メッキにより前記導電性基体の露出部に導電材料層を選択的に形成する工程と、前記導電材料層のうちＩＣペアチップの電極部が接続される電気的接続部位に臨んで開口される開口部を有する絶縁樹脂層を形成する工程と、前記ＩＣペアチップを前記絶縁樹脂層上に実装し、前記開口部を通じて該ＩＣペアチップの電極部と前記導電材料層の電気的接続部位とを接続する工程と、前記導電性基体の少なくともＩＣペアチップ実装面をモールド樹脂層により固着する工程と、少なくとも前記導電性基体を剥離する工程を有することを特徴とするものである。

#### 〔作用〕

本発明にかかるモールドＩＣは、ＩＣペアチップとその配線を行うために所定のパターンに形成された導電材料層とが絶縁樹脂層およびモールド樹脂層により所定の位置関係に保持され、かつ固着一体化されてなるものである。上記モールドＩＣは、何ら支持基板を有さず導電材料層がＩＣペ

チップの実装面とは反対側の面に露出されているため、この形のままで極めて容易に他の電子回路に実装することができる。しかも、その全厚はほぼICベアチップ自身の厚さにより決まるものである。このように、本発明のモールドICは極めて薄型かつ軽量であるが、その機械強度は上記絶縁樹脂層およびモールド樹脂層により十分に保障されているので、信頼性の面でも問題はない。

上述のようなモールドICは、製造工程においては支持基板上に形成され、最終的に該支持基板から剝離するという、巧妙な方法により製造されるものである。したがって、モールドICは剝離の直前まで常に支持基板上に保持されて全体として極めて高い強度を付与されるため、各製造工程における加工や処理の高い精度および信頼性が保証される。また、上記支持基板として導電性基体を使用することにより、電解メッキによる導電材料層の形成が可能となる。上記モールドICの製造工程は、レジストの選択露光工程、導電材料層を形成するための電解めっき工程、絶縁樹脂層を

形成するための印刷工程、ICベアチップを実装するためのボンディング工程、モールド樹脂の塗布工程等の必要最小限の工程からなり、従来の製造設備に何ら特殊な設備を追加することなく容易に実施でき、信頼性の高いモールドICを歩留り良く製造することができる。

#### (実施例)

以下、本発明の好適な実施例について、図面を参照しながら説明する。

#### 実施例1

本実施例は、ICベアチップと導電材料層の間の電気的接続を導電接続層を介して図ったモールドICおよびその製造方法の例である。

まず、第1図に本実施例にかかるモールドICの概略断面図を示す。このモールドICは、所定のパターンに形成された導電材料層(1)の上に、後述のICベアチップ(3)と上記導電材料層(1)との間の電気的絶縁を図り、かつ該ICベアチッ

プ(3)を所定の位置関係を保って固定するための絶縁樹脂層(2)が積層され、さらに上記絶縁樹脂層(2)の上にICベアチップ(3)が設置され、少なくとも上記ICベアチップ(3)の実装面がモールド樹脂層(4)により固着一体化されてなるものである。上記絶縁樹脂層(2)には開口部(2a)が設けられており、この開口部(2a)を通じて導電接続層(5)により上記導電材料層(1)とICベアチップ(3)の電気的接続が図られている。

ここで、上記導電材料層(1)とICベアチップ(3)の接続状態をよりわかり易く説明するために、第2図に該ICベアチップ(3)の実装部近傍の模式的な上面図を示す。ただし、図面を簡単とするために、最上部のモールド樹脂層(4)は図示しない。上記導電材料層(1)は、ICベアチップ(3)の配線層として機能するべく所定のパターンに形成された金属薄膜であり、該パターンを構成する各配線層の末端部は電気的接続部位(1a)とされている。この図に示す例では、1個のICベアチップ(3)に対して6個の電気的接続部位(1a)が、該

ICベアチップ(3)の6個の電極部(3a)の配設パターンに対応して設けられている。上記絶縁樹脂層(2)には、上記電気的接続部位(1a)の全てを露出させる開口部(2a)が設けられている。したがって、絶縁樹脂層(2)を形成した段階で、開口部(2a)内に露出する電気的接続部位(1a)に適當な方法により導電接続層(5)〔図中、斜線部で示す。〕を形成し、さらに上記開口部(2a)に臨んでICベアチップ(3)を実装すれば、該ICベアチップ(3)は外周部を絶縁樹脂層(2)により支持されると共に、導電材料層(1)と電気的および機械的に接続される。

かかるモールドICは、何ら支持基板を有するものではなく、導電材料層(1)がICベアチップ(3)の実装面とは反対側の面に露出されているため、この形のままで極めて容易に他の電子回路に実装することができる。しかも、上述の導電材料層(1)や絶縁樹脂層(2)はいずれも極めて薄い層であるため、モールドICの全厚はほぼICベアチップ(3)の厚さにより決まると言って良い。し

かし、上記モールドICはこのように極めて薄型でありながら、その機械強度は上記絶縁樹脂層およびモールド樹脂層(4)により十分に保障されている。

上述のようなモールドICは、たとえば第3図(A)ないし第3図(F)に示す製造工程により製造することができる。

まず、第3図(A)に示すように、導電性基体(6)上に、最終的に形成される導電材料層(1)のパターンを反転させたパターンを有するメッキレジスト層(7)を形成する。

ここで、上記導電性基体(6)としては、次の工程にてこの上に形成される導電材料層(1)が容易に剥離できるような平滑面を有することが必要であり、その材料もステンレス鋼、ニッケル、チタン、ニッケル系合金、チタン系合金、ニッケルコバルト合金、その他の合金等から適宜選択することができる。ここでは、厚さ50 $\mu$ mのSU304ステンレス鋼板を使用した。

また、上記メッキレジスト層(7)は、絶縁性、

性基体(6)に対する剥離性の高い材料を使用する必要がある。好適な金属としては金、銀、銅、クロム、ニッケル、鉄、コバルト、あるいはこれらの合金等が挙げられるが、ここでは、次のような条件により銅を析出させた。すなわち、電解液1 $\ell$ 当たり硫酸銅250g、硫酸75gを含む硫酸銅浴を使用し、液温25℃、電流密度8A/dm<sup>2</sup>、メッキ時間30分の条件で電解メッキを行った。

なおここで、必要に応じて電解メッキの前後で防錆処理を行うこともできる。また、後の工程で実装されるICペアチップ(3)との接続を図るための導電接続層(4)としてパンプが形成される場合には、この段階で上記導電材料層(1)の電氣的接続部位(1a)に金、半田、導電性ペースト等からなるパンプを形成しても良い。本実施例では、金パンプを形成した。

次に、第3図(C)に示すように、前記導電材料層(1)とICペアチップ(3)の間において電氣的接続部位(1a)以外の部位における電氣的絶縁を図り、かつ該ICペアチップ(3)を所定の位置間

耐熱性、および後の工程で使用される電解メッキ液に対する耐性、すなわち耐酸性もしくは耐アルカリ性を有する材料により形成されることが必要である。さらに、上記メッキレジスト層(7)が、製造工程の最後で導電性基体(6)を剥離する際に該導電性基体(6)と共に剥離される場合には、離型剤としての機能も果たすものである。かかる材料としては、たとえばレジスト材料を使用することができ、これをスクリーン印刷法もしくは写真露光技術により所定のパターンに形成すれば良い。ここでは、レジスト材料(東レシリコン社製、商品名SR9556RTV)を使用し、これをシルクスクリーン印刷により15 $\mu$ mの厚さに塗布した。

次に、第3図(B)に示すように、金属メッキ浴に浸漬して電解メッキを行い、導電性基体(6)の表面のうちメッキレジスト層(7)によりマスクされずに露出している部分に選択的に金属を析出させ、導電材料層(1)を形成する。上記金属としては、高い導電性を有し、かつ最終的に上記導電性基体(6)から剥離されることを考慮して該導電

係に固定保持するための絶縁樹脂層(2)を形成する。本実施例における上記絶縁樹脂層(2)は、ICペアチップ(3)の電極部(第2図の(3a)参照。)の配設パターンに応じて開口される開口部(2a)を有しており、この内部において導電材料層(1)とICペアチップ(3)との間の電氣的接続が図られる。この絶縁樹脂層(2)の材料としては、電気絶縁性以外に、優れた耐熱性および耐半田性を有していることが必要である。本実施例では、レジストインキ(タムラ化学社製、商品名SR-296)を使用し、これをシルクスクリーン印刷により15 $\mu$ mの厚さに塗布することにより、上記絶縁樹脂層(2)を形成した。

次に第3図(D)に示すように、ICペアチップ(3)をその電極部(第2図の(3a)参照。)が予め導電接続層(5)として金パンプが形成された上記電氣的接続部位(1a)に合致するように位置調整装置を使用して載置し、フェースボンダーにより接続した。これにより、ICペアチップ(3)は上記開口部(2a)を通じて電氣的に導電材料層(1)と

接続されると共に、機械的にも固定される。

なお、上述のようなバンプによる接続以外にも、使用するICベアチップ(3)のタイプによっては異方性導電膜や導電性接着剤等による接続が可能である。

次に、第3図(E)に示すように、該ICベアチップ(3)の実装面をモールド樹脂層(4)により固着する。ここでは、上記モールド樹脂層(4)を形成するためのモールド樹脂としてポリエステル系樹脂(ユニチカ社製、商品名XA 5569)を使用した。すなわち、上記ポリエステル系樹脂100重量部につき硬化剤(日本ポリウレタン社製、商品名コロネートEH)6重量部とメチルエチルケトン200重量部を混合してなる塗料をICベアチップ(3)がほぼ覆われる程度に塗布し、アフタキュアにより完全に硬化させた。これにより、導電材料層(1)、絶縁樹脂層(4)、ICベアチップ(3)、および導電接続層(5)からなる積層体が固着一体化され、該導電材料層(1)とICベアチップ(3)との間の確実な電氣的、機械的接続が保証される。

断面図を示す。このモールドICは、所定のパターンに形成された導電材料層(11)の上に、後述のICベアチップ(13)と上記導電材料層(11)との間の電氣的絶縁を図り、かつ該ICベアチップ(13)を所定の位置関係を保って固定するための絶縁樹脂層(12)が積層され、さらに上記絶縁樹脂層(12)の上にICベアチップ(13)が載置され、少なくとも上記ICベアチップ(13)の実装面がモールド樹脂層(14)により固着一体化されてなるものである。上記絶縁樹脂層(12)には開口部(12a)が設けられており、この開口部(12a)を通じてワイヤ(15)により上記導電材料層(11)とICベアチップ(13)の電氣的接続が図られている。

かかるモールドICの製造方法は、前述の導電接続層(5)を形成する代わりに金線等のワイヤ(15)を使用してワイヤボンディングを行った他はほぼ実施例1に上述したとおりであるので、詳しい説明は省略する。

(発明の効果)

最後に、第3図(F)に示すように、モールド樹脂層(4)により固着一体化された上述の積層体から導電性基体(6)とメッキレジスト層(7)を剥離し、前述の第1図に示したようなモールドICを得た。ここで、メッキレジスト層(7)が導電性基体(6)に対して高い剥離性を有し、剥離時に該メッキレジスト層(7)が積層体側に残存する場合には、適当な方法によりこれを除去する。このようにして得られたモールドICは、何ら支持基板を有しないため、全厚がほぼICベアチップ(3)の厚さと同等に薄くなされており、かつ軽量である。しかし、その機械強度は上記絶縁樹脂層(2)およびモールド樹脂層(4)により十分に高いものである。

#### 実施例2

本実施例は、ICベアチップと導電材料層の間の電氣的接続をワイヤボンディングにより図ったモールドICの例である。

第4図に本実施例にかかるモールドICの概略

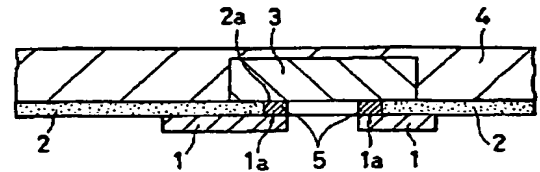
以上の説明からも明らかなように、本発明にかかるモールドICは、極めて軽量薄型であり、各種の小型化された電子機器に使用される電子回路に容易に実装可能なものである。また、本発明にかかる製造方法では、支持基板上において上記モールドICの各構成要素を形成するための加工、処理が施されるため、極めて精度、信頼性の高いモールドICを容易に、しかも高い経済性、生産性をもって製造することができる。

#### 4. 図面の簡単な説明

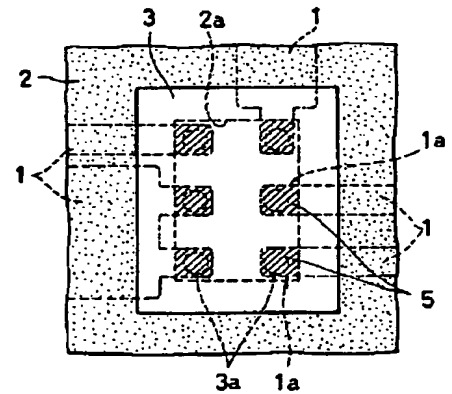
第1図は本発明にかかるモールドICの一構成例を模式的に示す概略断面図であり、第2図は上記モールドICのICベアチップの実装部近傍を示す上面図である。第3図(A)ないし第3図(F)は、本発明にかかるモールドICの製造方法の一例をその工程順にしたがって示す概略断面図であり、第3図(A)は導電性基体上におけるメッキレジスト層の形成工程、第3図(B)は電解メッキによる導電材料層の形成工程、第3図

(C)は絶縁樹脂層の形成工程、第3図(D)はICペアチップの実装工程、第3図(E)はモールド樹脂層の形成工程、第3図(F)は導電性基体およびメッキレジスト層の剥離工程をそれぞれ示す。第4図は本発明にかかるモールドICの他の構成例を模式的に示す概略断面図である。

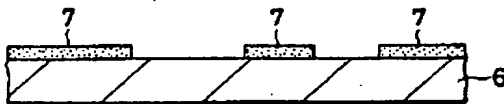
- 1, 11 ... 導電材料層
- 1a ... 電気的接続部位
- 2, 12 ... 絶縁樹脂層
- 2a, 12a ... 閉口部
- 3, 13 ... ICペアチップ
- 3a ... 電極部
- 4, 14 ... モールド樹脂層
- 5 ... 導電接続層
- 15 ... ワイヤ
- 6 ... 導電性基体
- 7 ... メッキレジスト層



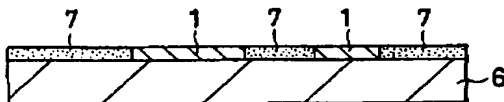
第1図



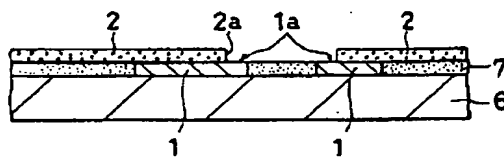
第2図



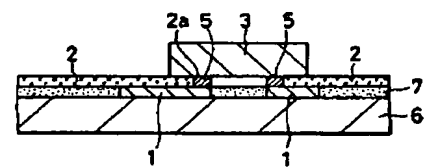
第3図(A)



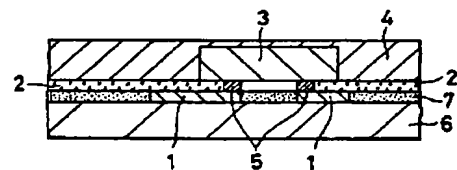
第3図(B)



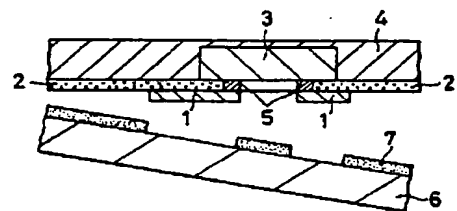
第3図(C)



第3図(D)

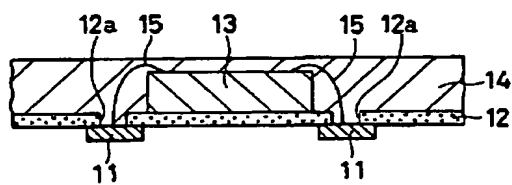


第3図(E)



第3図(F)





第 4 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**